

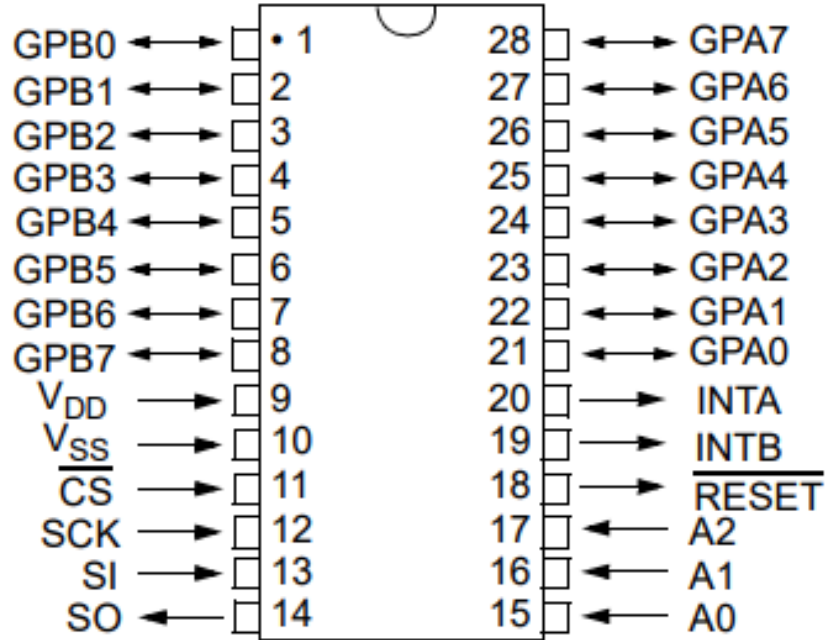
Ekspandery I/O

MCP23S17

Wyprowadzenia ekspanderów:

- MCP23S17 - interfejs SPI
- MCP23017 - interfejs I2C

Wyjścia GPIO
Port B



Wyjścia GPIO
Port A

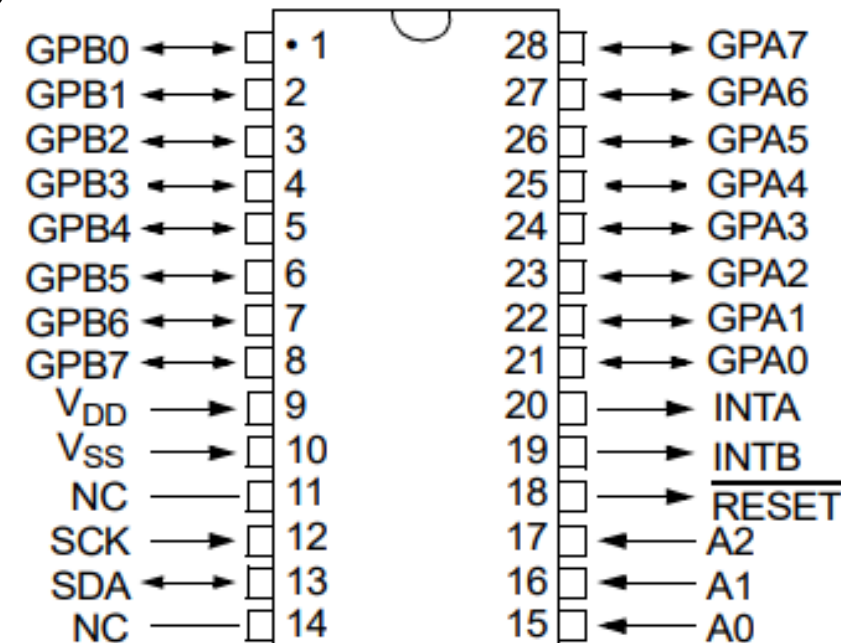
Linie przerwań
zewnętrznych

Linie adresu
sprzętowego

Interfejs SPI

MCP23017

Wyjścia GPIO
Port B



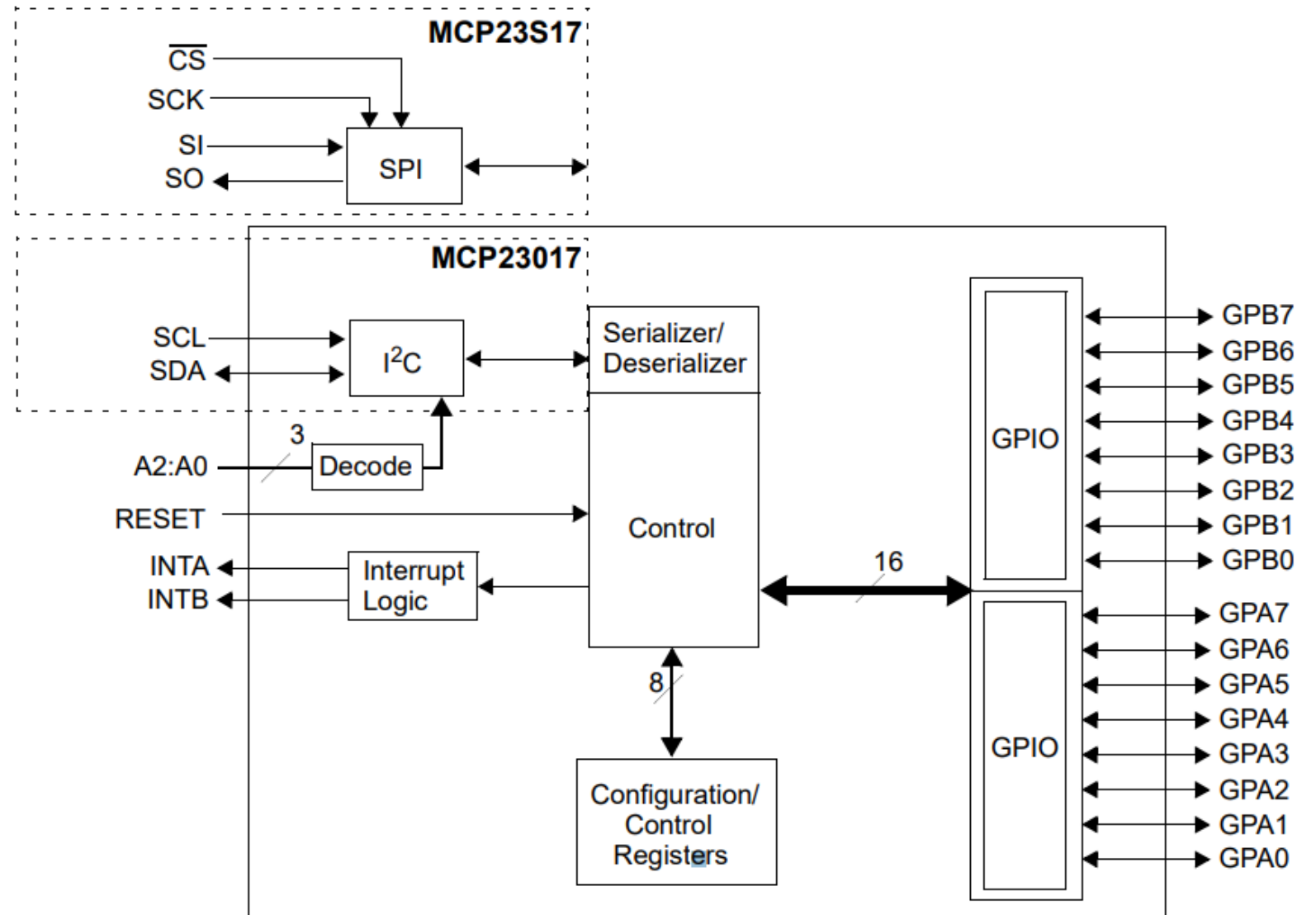
Wyjścia GPIO
Port A

Linie przerwań
zewnętrznych

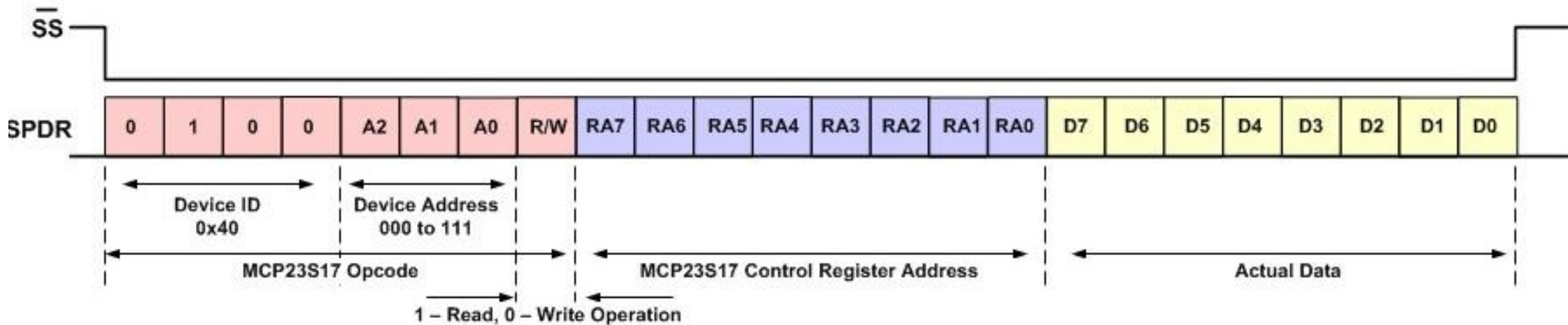
Interfejs I2C

Linie adresu
sprzętowego

Bloki funkcjonalne ekspanderów: MCP23S17 SPI / MCP23017 I2C



Format transmisji danych po magistrali SPI (dotyczy expandera MCP23S17)



Transmisja danych odbywa się w trzech bajtach.

W 1-szym bajcie nadawany jest adres/identyfikator urządzenia (Device ID: 0100) oraz adres hardwarowy ustawiony na pinach A2, A1, A0 (Device Address). Ostatni bit R/W decyduje o trybie: zapis lub odczyt.

W 2-gim bajcie nadawany jest adres rejestru expandera, do którego jest adresowana transmisja.

W 3-cim bajcie znajduje się dana dla rejestru expandera (w trybie zapisu) lub z rejestru (w trybie odczytu).

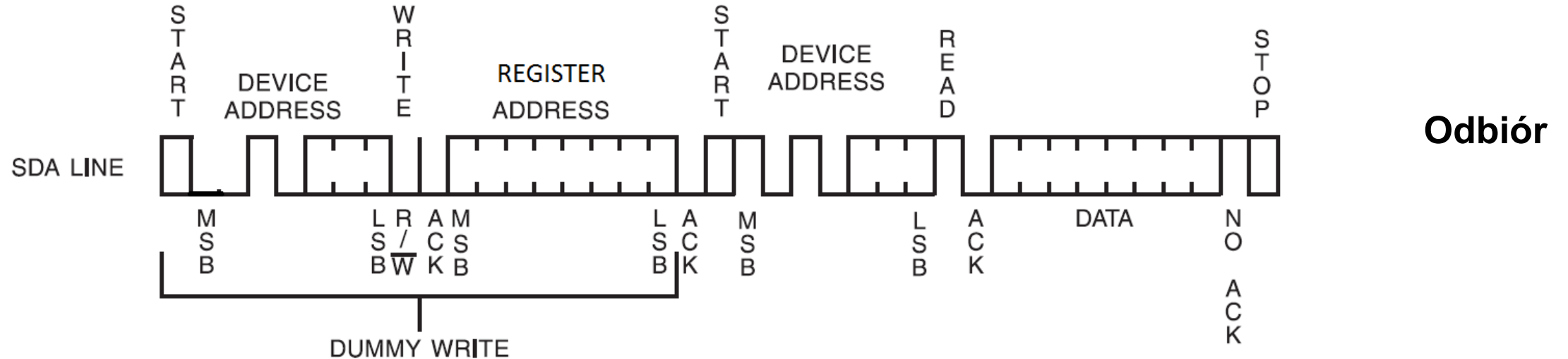
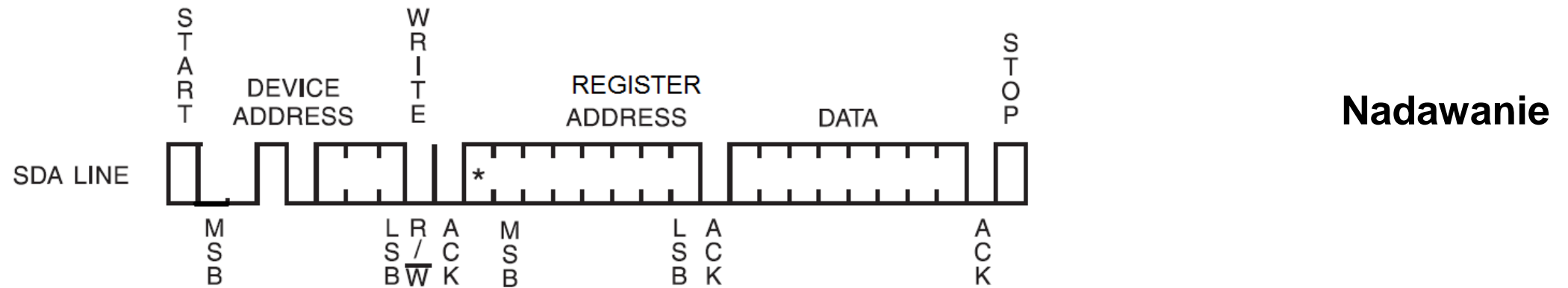
Format transmisji danych po magistrali I2C (dotyczy expandera MCP23017)

Transmisja danych odbywa się w jednostkach po 3 bajty.

W 1-szym bajcie nadawany jest adres/identyfikator urządzenia (Device ID: 0010) oraz adres hardwarowy ustawiony na pinach A2, A1, A0 (Device Address). Ostatni bit R/W decyduje o trybie: zapis lub odczyt.

W 2-gim bajcie nadawany jest adres rejestru expandera, do którego jest adresowana transmisja.

W 3-cim bajcie znajduje się dana dla rejestru expandera (w trybie zapisu) lub z rejestru (w trybie odczytu).



Wykaz wybranych rejestrów ekspanderów MCP23S17 oraz MCP23017

IODIR (IODIRA/B) – ustawienie kierunku na linii GPIO portów A i B: 0 - wyjście, 1 - wejście

GPPUBA/B – podwieszanie wewnętrzne linii wejściowych: 0 - nie podwieszone, 1 - podwieszone

IPOLA/B – odwrócenie polaryzacji bitów w rejestrze GPIO port register: 0 – bez odwrócenia polaryzacji, 1 – odwrócenie polaryzacji

GPINTENA/B – maska przerwania zdejmowana indywidualnie dla każdej linii na porcie A lub B (1 – maska zdjęta), przerwanie reaguje na zmianę stanu na linii

DEFVALA/B – rejestr wartości odniesienia dla stwierdzenia zmiany stanu na linii I/O

INTCONA/B – kontroluje w jaki sposób stwierdza się zmianę stanu na linii I/O:(1: przez porównanie z korespondującą wartością w rejestrze DEFVAL, 0: przez porównanie aktualnego stanu na linii I/O z poprzednim stanem na tej samej linii I/O)

IOCONA/B – rejestr konfiguracyjny (wybór banku, sposobu adresowania, polaryzacji na linii przerwania)

INTFA/B – rejestr flagowy przerwań, jedynka logiczna sygnalizuje przerwanie wywołane zmianą stanu na linii. Rejestr „tylko do odczytu”

INTCAPA/B – rejestr przechwytyjący stan na linii w chwili przerwania, stan rejestru pozostaje bez zmian aż do wykonania odczytu rejestru INTCAP lub GPIO. Rejestr „tylko do odczytu”

GPIOA/B – odzwierciedla wartość na linii. Odczyt rejestru powoduje odczyt stanów linii portu A lub B. Zapis do rejestru modyfikuje stan rejestru OLAT wyjściowych przerzutników linii portu. Po jednym takcie zegarowym stan ten pojawia się na linii wyjściowej

OLATA/B – Zapis do rejestru modyfikuje stan rejestru OLAT oraz stan driverów wyjściowych przerzutników linii portu, linie skonfigurowane jako wejścia po zapisie do rejestru OLAT przechodzą w stan wielkiej impedancji, odczyt rejestru powoduje odczyt przerzutników wyjściowych (a nie aktualnego stanu linii)

IOCON: I/O EXPANDER CONFIGURATION REGISTER (ADDR 0x05)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0
BANK	MIRROR	SEQOP	DISSLW	HAEN	ODR	INTPOL	—
bit 7							bit 0

Legend:			
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'	
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared	x = Bit is unknown

bit 7	BANK: Controls how the registers are addressed 1 = The registers associated with each port are separated into different banks. 0 = The registers are in the same bank (addresses are sequential).
bit 6	MIRROR: INT Pins Mirror bit 1 = The INT pins are internally connected 0 = The INT pins are not connected. INTA is associated with PORTA and INTB is associated with PORTB
bit 5	SEQOP: Sequential Operation mode bit 1 = Sequential operation disabled, address pointer does not increment. 0 = Sequential operation enabled, address pointer increments.
bit 4	DISSLW: Slew Rate control bit for SDA output 1 = Slew rate disabled 0 = Slew rate enabled
bit 3	HAEN: Hardware Address Enable bit (MCP23S17 only) 1 = Enables the MCP23S17 address pins. 0 = Disables the MCP23S17 address pins.
bit 2	ODR: Configures the INT pin as an open-drain output 1 = Open-drain output (overrides the INTPOL bit.) 0 = Active driver output (INTPOL bit sets the polarity.)
bit 1	INTPOL: This bit sets the polarity of the INT output pin 1 = Active-high 0 = Active-low
bit 0	Unimplemented: Read as '0'

Address IOCON.BANK = 0	Access to:
00h	IODIRA
01h	IODIRB
02h	IPOLA
03h	IPOLB
04h	GPINTENA
05h	GPINTENB
06h	DEFVALA
07h	DEFVALB
08h	INTCONA
09h	INTCONB
0Ah	IOCON
0Bh	IOCON
0Ch	GPPUA
0Dh	GPPUB
0Eh	INTFA
0Fh	INTFB
10h	INTCAPA
11h	INTCAPB
12h	GPIOA
13h	GPIOB
14h	OLATA
15h	OLATB

Wybór banku w rejestrze konfiguracyjnym IOCON ustala adresy rejestrów ekspandera dla portów A i B
Najprostszy tryb pracy nie wymaga żadnych ustawień w rejestrze konfiguracyjnym IOCON (defaultowy jest bank 0).

Wymagania projektowe

//definicje rejestrów wymaganych w projekcie (definicje własne, niekonieczne)

#define IODIRA 0x00 //kierunkowy portu A

#define IODIRB 0x01 //kierunkowy portu B

#define IOCON 0x0A //konfiguracyjny

#define GPPUA 0x0C //podwieszenie linii portu A (gdy są wejściami)

#define GPPUB 0x0D //podwieszenie linii portu B (gdy są wejściami)

#define GPIOA 0x12 //sterowanie liniami portu A (dla wyjść), odczyt linii (dla wejść)

#define GPIOB 0x13 //sterowanie liniami portu A (dla wyjść), odczyt linii (dla wejść)

Wymagane ustawienia wstępne:

- Konfiguracja linii magistrali (SPI: MOSI, MISO, SCK, SS, I2C: SDA, SCL)
- Nadanie kierunku liniom portu A, B
- Podwieszenie linii portów A i B (dla wejść)

Czynności w pętli:

- Cykliczny odczyt wejść oraz sterowanie wyjściami przez rejestry GPIOA oraz GPIOB